



(19)

(11) Publication number:

10050701 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 08199232

(51) Intl. Cl.: H01L 21/316 H01L 21/31 H01L 29/78

(22) Application date: 29.07.96

<p>(30) Priority:</p> <p>(43) Date of application publication: 20.02.98</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: MATSUSHITA ELECTRON CORP KOBAYASHI HIKARI</p> <p>(72) Inventor: KOBAYASHI HIKARI YONEDA KENJI NAMURA TAKASHI</p> <p>(74) Representative:</p>
--	---

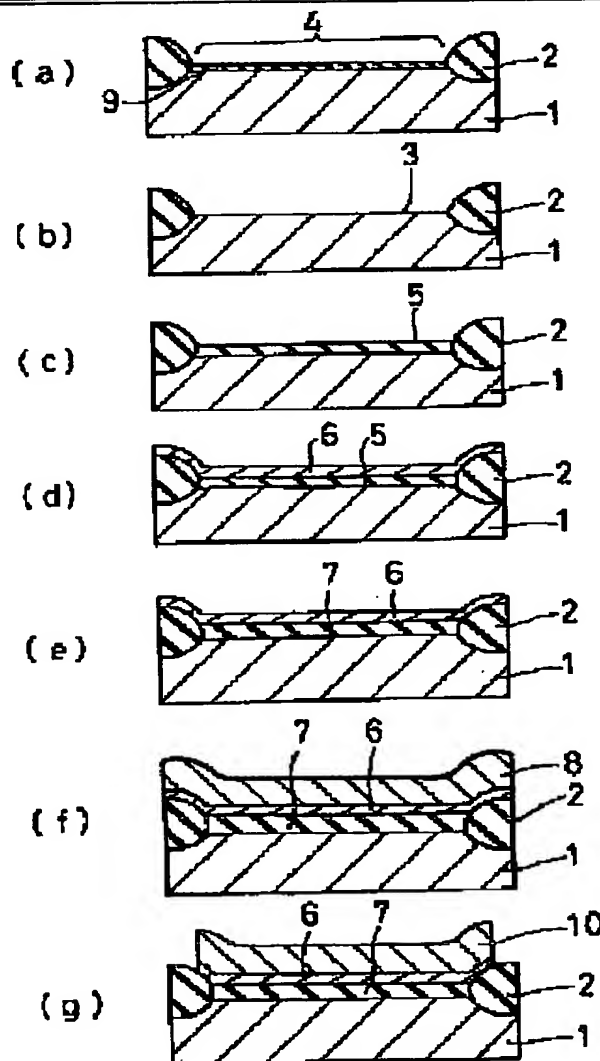
(54) SEMICONDUCTOR AND FORMING OXIDE FILM ON SURFACE OF SEMICONDUCTOR SUBSTRATE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To form a high-quality oxide film at a high controllability, without using the high temp. heating and form a gate oxide film after metal wiring by forming the oxide film comprising a metal film having the oxidizing catalytic function on the oxide film.

**SOLUTION:** A semiconductor substrate 1 has an oxide film 7 and thin metal film 6 in this order on the surface. The film 6 is a metal of 0.5-30nm thick, having an oxidizing catalytic function. The film 7 is a film of 1-20nm thick, comprising a metal film of 1-20nm thick, having an oxidizing catalytic function. After, e.g. removing a natural oxide film 9 on a Si substrate 1, it is dipped in hot nitric acid to form a first oxide film 5 of 1.1nm thick, a Pt 6 of about 3nm thick is vapor-evaporated and heated at 300° C in a moist O atmosphere to grow a silicon oxide film of 4.5nm thick, and Al 8 is deposited and patterned to form gate electrodes 10.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50701

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L 21/316	U
	21/31		21/31	B
	29/78		29/78	3 0 1 G

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21) 出願番号 特願平8-199232

(22) 出願日 平成8年(1996) 7月29日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(71) 出願人 594056384

小林 光

京都府京都市東山区本町9丁目106番地

(72) 発明者 小林 光

京都府京都市東山区本町9丁目106番地

(72) 発明者 米田 健司

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 池内 寛幸 (外1名)

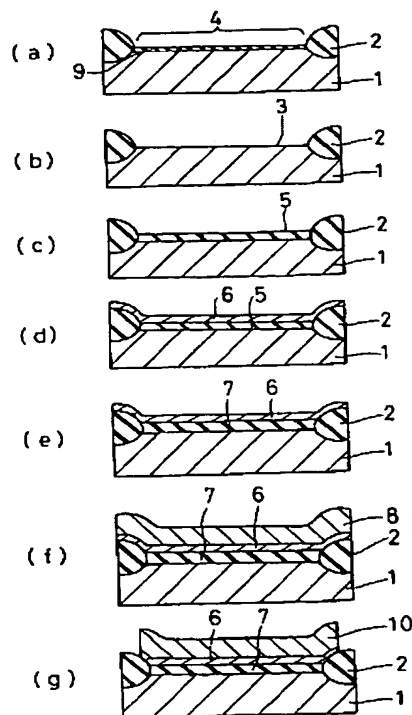
最終頁に続く

(54) 【発明の名称】 半導体及び半導体基板表面の酸化膜の形成方法

(57) 【要約】

【課題】 半導体基板1表面に酸化膜6と金属薄膜7とを少なくとも含む半導体であって、前記金属薄膜は厚さ0.5～30nmの範囲の酸化触媒機能を有する金属であり、前記酸化膜は前記酸化触媒機能を有する金属によって形成された膜を含む厚さ1～20nmの範囲の膜とすることにより、高温加熱を用いずに半導体基板の表面に高品質の酸化膜を制御性よく形成するとともに、金属配線以後にゲート酸化膜を形成できる半導体を提供する。

【解決手段】 半導体基板1上に厚さ0.1～2.5nmの範囲の第1酸化膜5を形成し、次いで第1酸化膜5上に酸化触媒機能を有する金属薄膜(例えば白金膜)6を蒸着法により厚さ0.5～30nmの範囲で形成し、しかる後25～600℃の温度でかつ酸化雰囲気中で熱処理を行って第2酸化膜7を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板表面に酸化膜と金属薄膜とをこの順番に含む半導体であって、前記金属薄膜は厚さ0.5～30nmの範囲の酸化触媒機能を有する金属であり、かつ前記酸化膜は前記酸化触媒機能を有する金属によって形成された膜を含む厚さ1～20nmの範囲の膜であることを特徴とする半導体。

【請求項2】 酸化膜が第1酸化膜と第2酸化膜で形成され、第1酸化膜の厚さが、0.1～2.5nmの範囲であり、第2酸化膜の厚さが0.9～18.5nmの範囲である請求項1に記載の半導体。

【請求項3】 酸化触媒機能をもつ金属薄膜が、白金及びパラジウムから選ばれる少なくとも一つの金属である請求項1に記載の半導体。

【請求項4】 酸化触媒機能をもつ金属薄膜が蒸着法により形成されている請求項3に記載の半導体。

【請求項5】 半導体基板が、単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム及びリン化インジウムから選ばれる少なくとも一つの材料である請求項1に記載の半導体。

【請求項6】 第2酸化膜の膜厚が、第1酸化膜の膜厚より厚く、かつ1～20nmの範囲である請求項1に記載の半導体。

【請求項7】 半導体基板表面に酸化膜を形成するに際し、半導体基板上に厚さ0.1～2.5nmの範囲の第1酸化膜を形成し、次いで前記第1酸化膜上に酸化触媒機能を有する金属薄膜を厚さ0.5～30nmの範囲で形成し、しかる後600℃以下の温度でかつ酸化雰囲気中で熱処理を行って第2酸化膜を形成することを特徴とする半導体基板表面の酸化膜の形成方法。

【請求項8】 半導体基板上に第1の酸化膜を形成する方法が、半導体基板を下記A～Iから選ばれる少なくとも一つの液体中に浸漬することにより形成する請求項7に記載の半導体基板表面の酸化膜の形成方法。

- A. 熱濃硝酸
- B. 濃硫酸及び過酸化水素水の加熱溶液
- C. 塩酸及び過酸化水素水の加熱溶液
- D. 過酸化水素水
- E. オゾン溶解水
- F. 硝酸及び硫酸の加熱液
- G. 弗化水素酸
- H. 沸騰水
- I. アンモニア水及び過酸化水素水の加熱溶液

【請求項9】 半導体基板上に酸化膜を形成する方法が、半導体基板をオゾンガス中に暴露させるか、またはオゾンガス中で紫外線を照射しながら暴露させることにより形成する請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項10】 酸化触媒機能をもつ金属薄膜が、白金及びパラジウムから選ばれる少なくとも一つの金属であ

る請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項11】 酸化触媒機能をもつ金属薄膜が蒸着法により形成されている請求項10に記載の半導体基板表面の酸化膜の形成方法。

【請求項12】 酸化雰囲気中で熱処理を行うに際し、酸化雰囲気が下記a～gから選ばれる少なくとも一つの雰囲気である請求項7に記載の半導体基板表面の酸化膜の形成方法。

- 10 a. 乾燥酸素雰囲気
- b. 乾燥酸素と非酸化性ガスとの混合ガス雰囲気
- c. 水蒸気を含んだ酸素雰囲気
- d. 水蒸気を含んだ酸素と非酸化性ガスとの混合ガス雰囲気
- e. オゾンガス雰囲気またはオゾンガスを含む雰囲気
- f. N<sub>2</sub>Oを含んだ酸素雰囲気中
- g. NOを含んだ酸素雰囲気中

【請求項13】 酸化雰囲気中で熱処理温度が、25～600℃の範囲である請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項14】 半導体基板が、単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム及びリン化インジウムから選ばれる少なくとも一つの材料である請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項15】 半導体基板表面に酸化膜を形成する前に、あらかじめ半導体基板表面に存在する自然酸化膜または不純物を除去する請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項16】 第2酸化膜の膜厚が、第1酸化膜の膜厚より厚く、かつ1～20nmの範囲である請求項7に記載の半導体基板表面の酸化膜の形成方法。

【請求項17】 酸化雰囲気中で熱処理を、半導体基板表面に金属配線を形成した後に行う請求項7に記載の半導体基板表面の酸化膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路などに用いられる金属-酸化膜-半導体デバイス、すなわちMOS(metal oxide semiconductor)デバイス、とりわけMOSトランジスタおよびMOS容量の極薄ゲート酸化膜および容量酸化膜等に応用が可能な半導体及び半導体基板表面の酸化膜の形成方法に関するものである。

## 【0002】

【従来の技術】 半導体デバイス、とりわけMOSトランジスタ、MOS容量のゲート酸化膜および容量酸化膜には通常シリコンデバイスの場合、二酸化シリコン膜（以下、酸化膜と呼ぶ）が用いられる。これらの、酸化膜には高い絶縁破壊耐圧、高い絶縁破壊電荷量が要求される。そのため、ウェーハの洗浄は非常に重要な工程の一つである。ウェーハは洗浄されると同時に、低い固定電

荷密度、低い界面準位密度など高品質が要求される。一方、デバイスの微細化、高集積化に伴い、ゲート酸化膜や容量酸化膜厚は薄膜化しており、たとえば、 $0.1\mu\text{m}$ 以下のデザインルールでは $4\text{nm}$ 以下の極薄ゲート酸化膜が要求される。従来、MOSトランジスタのゲート酸化膜は $600^\circ\text{C}$ 以上の高温で、半導体基板を乾燥酸素や水蒸気などの酸化性雰囲気暴露することで形成する方法が用いられてきた（たとえばVLSIテクノロジー(VLSI Technology), S. M. Sze編集、1984年、131~168ページ参照）。

【0003】また、熱酸化以外にはモノシランを熱分解させ、基板表面に堆積させる化学的気相成長法なども用いられる。また、低温で酸化膜を成長させる方法としては、酸化性の強い、硝酸などの薬液中に半導体基板を浸漬し、化学的な酸化膜を形成する方法や、陽極酸化により酸化膜を形成する方法があるが、化学的酸化膜は成長できる膜厚範囲が限られ、一定以上の膜厚の酸化膜を成長できないという問題点があり、また陽極酸化では比較的膜厚の制御範囲は広いものの、界面特性や絶縁破壊特性などの電気特性は十分ではない。このほかにも、低温で酸化膜を形成する方法としては紫外線照射をしながら熱酸化を行う方法や、プラズマ中で酸化する方法があるがいずれの方法も、薄い高品質の酸化膜を制御性よく、かつ再現性よく形成するのは困難な状況である。

#### 【0004】

【発明が解決しようとする課題】しかし、従来の比較的高温での熱酸化では、 $4\text{nm}$ 以下の酸化膜の形成時に膜厚の制御性に欠けるという問題があった。また、膜厚の制御性を向上させるために低温での酸化を行うと、形成された酸化膜の膜質の点で、界面準位密度が高いこと、及び固定電荷密度が高いことなどの問題があった。また、化学的気相成長法により堆積した酸化膜も膜厚制御性及び膜質の点で同様の問題をかかえている。特に、界面準位密度の発生はトランジスタのホットキャリア特性を劣化させるのみならず、トランジスタのしきい値電圧の不安定性、キャリアの移動度の低下など、特に微細デバイスでは致命的な問題を引き起こす。さらに、素子の微細化により熱処理工程の低減化も要求されており、特にデバイスの設計自由度およびプロセスの自由度という点では従来の比較的高温の熱酸化膜によりゲート酸化膜を形成する方法では、必ず金属配線工程より以前にゲート酸化膜を形成する必要があった。これまで、金属配線には低抵抗を実現するためアルミニウムもしくはアルミニウム合金が用いられており、アルミニウム合金の融点は $660^\circ\text{C}$ 程度と低く、さらにヒロック（熱処理により発生するアルミニウム配線表面の異常突出）などの発生を考えると金属配線後の熱処理は $400^\circ\text{C}$ 以下に抑える必要がある。このため、従来の熱酸化法を用いた場合、金属配線工程以後にはゲート酸化膜の形成は困難であった。また、熱酸化膜形成において $400^\circ\text{C}$ 以下の温度に

においては酸化膜厚は1時間程度の熱処理によっても $1\text{nm}$ 以下であり、ゲート酸化膜として利用できる膜厚を形成することは困難であった。

【0005】本発明は、前記従来の酸化膜形成方法の問題を解決するため、高温加熱を用いずに半導体基板の表面に高品質の酸化膜を制御性よく形成するとともに、金属配線以後にゲート酸化膜を形成できる半導体及び半導体基板表面の酸化膜の形成方法を提供することを目的とする。

#### 10 【0006】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体は、半導体基板表面に酸化膜と金属薄膜とを少なくとも含む半導体であって、前記金属薄膜は厚さ $0.5\sim 30\text{nm}$ の範囲の酸化触媒機能を有する金属であり、かつ前記酸化膜は前記酸化触媒機能を有する金属によって形成された膜を含む厚さ $1\sim 20\text{nm}$ の範囲の膜であることを特徴とする。

【0007】前記半導体においては、酸化膜が第1酸化膜と第2酸化膜で形成され、第1酸化膜の厚さが、 $0.1\sim 2.5\text{nm}$ の範囲であり、第2酸化膜の厚さが $0.9\sim 18.5\text{nm}$ の範囲であることが好ましい。

【0008】また前記半導体においては、酸化触媒機能をもつ金属薄膜が、白金及びパラジウムから選ばれる少なくとも一つの金属であることが好ましい。また前記半導体においては、酸化触媒機能をもつ金属薄膜が蒸着法により形成されていることが好ましい。

【0009】また前記半導体においては、半導体基板が、単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム及びリン化インジウムから選ばれる少なくとも一つの材料であることが好ましい。

【0010】また前記半導体においては、第2酸化膜の膜厚が、第1酸化膜の膜厚より厚く、かつ $1\sim 20\text{nm}$ の範囲であることが好ましい。次に本発明の半導体基板表面の酸化膜の製造方法は、半導体基板表面に酸化膜を形成するに際し、半導体基板上に厚さ $0.1\sim 2.5\text{nm}$ の範囲の第1酸化膜を形成し、次いで前記第1酸化膜上に酸化触媒機能を有する金属薄膜を厚さ $0.5\sim 30\text{nm}$ の範囲で形成し、しかる後 $600^\circ\text{C}$ 以下の温度でかつ酸化雰囲気中で熱処理を行って第2酸化膜を形成することを特徴とする。

【0011】前記方法においては、半導体基板上に第1の酸化膜を形成する方法が、半導体基板を下記A~Iから選ばれる少なくとも一つの液体中に浸漬することにより形成することが好ましい。

- A. 熱濃硝酸
- B. 濃硫酸及び過酸化水素水の加熱溶液
- C. 塩酸及び過酸化水素水の加熱溶液
- D. 過酸化水素水
- E. オゾン溶解水
- 50 F. 硝酸及び硫酸の加熱液

G. 弗化水素酸

H. 沸騰水

I. アンモニア水及び過酸化水素水の加熱溶液

前記A～Iの液体であれば、例えばシリコンなどの半導体基板を酸化するのに適しているからである。

【0012】また前記方法においては、半導体基板上に酸化膜を形成する方法が、半導体基板をオゾンガス中に暴露させるか、またはオゾンガス中で紫外線を照射しながら暴露させることにより形成してもよい。気相で酸化膜を形成すると塵等のコンタミが付着しないという利点がある。

【0013】また前記半導体及びその酸化膜の形成方法においては、酸化触媒機能をもつ金属薄膜が、白金またはパラジウムであることが好ましい。この触媒は低温で酸化する機能に優れているからである。

【0014】また前記半導体及びその酸化膜の形成方法においては、酸化触媒機能をもつ金属薄膜を蒸着法により形成することが好ましい。膜厚が薄くかつ均一に形成できるからである。

【0015】また前記方法においては、酸化雰囲気中で熱処理を行うに際し、酸化雰囲気が下記a～gから選ばれる少なくとも一つの雰囲気であることが好ましい。

a. 乾燥酸素雰囲気

b. 乾燥酸素と非酸化性ガスとの混合ガス雰囲気

c. 水蒸気を含んだ酸素雰囲気

d. 水蒸気を含んだ酸素と非酸化性ガスとの混合ガス雰囲気

e. オゾンガス雰囲気またはオゾンガスを含む雰囲気

f.  $N_2O$ を含んだ酸素雰囲気中

g.  $NO$ を含んだ酸素雰囲気中

この酸化処理により第2酸化膜を効率よく合理的に形成できる。

【0016】また前記方法においては、酸化雰囲気中で熱処理温度が、 $25 \sim 600^\circ C$ の範囲であることが好ましい。低温酸化処理することにより本発明の目的を達成できるからである。

【0017】また前記半導体及びその酸化膜の形成方法においては、半導体基板が、単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム及びリン化インジウムから選ばれる少なくとも一つの材料であることが好ましい。半導体基板として応用範囲が広いからである。

【0018】また前記方法においては、半導体基板表面に酸化膜を形成する前に、あらかじめ半導体基板表面に存在する自然酸化膜及び／または不純物を除去することが好ましい。シリコン表面に高品質な極薄酸化膜を形成するために、あらかじめ清浄なシリコン表面にしておくためである。

【0019】また前記方法においては、第2酸化膜の膜厚が、第1酸化膜の膜厚より厚く、かつ $1 \sim 20 \text{ nm}$ の

範囲であることが好ましい。最終的に得られる酸化膜の厚さが前記の範囲であれば、MOSトランジスタ、MOS容量の極薄ゲート酸化膜及び容量酸化膜等に有用だからである。

【0020】また前記方法においては、酸化雰囲気中で熱処理を、半導体基板表面に金属配線を形成した後に行うこともできる。前記した本発明の半導体によれば、半導体基板表面に酸化膜と金属薄膜とを少なくとも含む半導体であって、前記金属薄膜は厚さ $0.5 \sim 30 \text{ nm}$ の範囲の酸化触媒機能を有する金属であり、かつ前記酸化膜は前記酸化触媒機能を有する金属によって形成された膜を含む厚さ $1 \sim 20 \text{ nm}$ の範囲の膜であることにより、高温加熱を用いずに半導体基板の表面に高品質の酸化膜を制御性よく形成するとともに、金属配線以後にゲート酸化膜を形成できる半導体を実現できる。

【0021】次に本発明の半導体基板表面の酸化膜の製造方法によれば、半導体基板上に厚さ $0.1 \sim 2.5 \text{ nm}$ の範囲の第1酸化膜を形成し、次いで前記第1酸化膜上に酸化触媒機能を有する金属薄膜を厚さ $0.5 \sim 30 \text{ nm}$ の範囲で形成し、しかる後 $600^\circ C$ 以下の温度でかつ酸化雰囲気中で熱処理を行って第2酸化膜を形成することにより、効率よくかつ合理的に半導体基板上に薄くかつ均一な品位の酸化膜を高品質かつ高制御性で形成することができる。

【0022】本発明の方法による酸化膜の形成方法では、清浄な半導体基板上に、薄い均質な酸化膜を形成した後、酸化触媒となる金属薄膜を形成させることにより、金属薄膜直下の半導体基板を室温( $25^\circ C$ )から $600^\circ C$ の低温で酸化することができる。このとき形成された酸化膜は膜厚制御性が高く $1 \sim 20 \text{ nm}$ 程度の薄い酸化膜を容易に形成することができる。また、このようにして形成された酸化膜は界面特性のすぐれたものが得られ界面準位密度の低い高品質の酸化膜が形成できる。このとき形成する酸化膜の膜質は、半導体基板上にまずはじめに形成する薄い酸化膜の形成方法により変えることができ、また酸化速度は熱処理する温度と、酸化性雰囲気の種類により変化させることができる。本発明のさらに好ましい条件においては、半導体基板を室温( $25^\circ C$ )～ $400^\circ C$ の範囲の温度で酸化することができる。

【0023】

【実施例】以下、実施例を用いて本発明をさらに具体的に説明する。まず、本発明により酸化膜を形成する実施例を図1を用いて説明する。本実施例では半導体基板としてシリコン基板を例にとり、MOS容量を形成する工程を説明する。まず、シリコン基板1上に分離領域2と活性領域4を形成した。活性領域4の表面には自然酸化膜9が存在している(図1(a))。シリコン基板としてp型(100)、電気抵抗値： $10 \sim 15 \Omega \text{ cm}$ の基板を用い、ボロンのチャネルストッパーを注入後、分離領域2としてLOCOS (local oxidation of silico

n) 酸化膜を500nmの膜厚で形成した。

【0024】次に、活性領域4の表面を洗浄するため、公知のRCA洗浄(W.Kern, D.A.Plutien:RCA レビュー 31、187ページ、1970年)方法によりウェーハを洗浄した後、希HF溶液(0.5vol.%HF水溶液)に5分間浸漬し、シリコン表面の自然酸化膜9を除去した(図1(b))。シリコン表面に高品質な極薄酸化膜を形成するためには、清浄なシリコン表面3が必要であり、シリコン表面の自然酸化膜9の完全除去及びシリコン表面の不純物除去が重要である。

【0025】次に超純水でウェーハを5分間リンス(洗浄)した後、ウェーハを115°Cの熱硝酸に10分間浸漬し、シリコン基板に表面厚さ1.1nmの化学的酸化膜(第1酸化膜)5を形成した(図1(c))。本実施例においては、半導体基板の洗浄、自然酸化膜の除去後、化学処理や低温の熱処理により半導体表面に薄い酸化膜5を形成した。半導体表面の化学処理方法としては本実施例のような熱濃硝酸に浸漬する方法のほか、硫酸と過酸化水素水の混合溶液に浸漬する方法、塩酸と過酸化水素水の混合溶液に浸漬する方法、アンモニア水と過酸化水素水の混合溶液に浸漬する方法、オゾンを経由してオゾン水に浸漬する方法などが挙げられる。本実施例では熱濃硝酸により重金属などを含まない清浄かつ高品質な化学酸化膜を形成した。また、この他に酸素中400°Cから室温で熱処理する方法、オゾンガス雰囲気中にウェーハを暴露しながら、400°Cから室温で熱処理する方法や、紫外線を照射しながらオゾンガス雰囲気中にウェーハを暴露する方法などがある。

【0026】前記で説明した自然酸化膜9の除去は、この後形成させる第1酸化膜5の特性上、重要な役割もっており、清浄でかつ均質な酸化膜形成が要求される。表面の重金属および自然酸化膜の除去の後、さらにオゾンガスの導入によりウェーハ表面に超清浄な薄い表面保護酸化膜を形成することができ、超清浄なウェーハ表面を得ることができる。

【0027】次に、シリコン基板上の第1酸化薄膜5上に、酸化触媒機能をもつ金属膜として、電子ビーム蒸着法により、約3nmの厚さの白金6を蒸着した(図1(d))。この際、白金には99.99wt.%の純度のものを用いた。蒸着速度は0.3nm/分、蒸着中のシリコン基板の温度は50°Cとし、圧力は $1 \times 10^{-4}$ Paとした。

【0028】その後、電気炉で加湿酸素中で300°Cで1時間処理した。この加熱処理によりシリコン酸化膜7が厚さ4.5nmに成長した(図1(e))。このとき、シリコン基板1上には厚さ4.5nmの酸化膜7と、厚さ3nmの白金6が形成されている。なお、酸化触媒機能をもつ金属膜としては白金のほかパラジウムを用いてもよい。酸化膜7はゲート酸化膜としても利用できる。

【0029】次に電極を形成するため、スパッタ法によりアルミニウム8を1 $\mu$ m堆積し(図1(f))、公知のフォトリソグラフィ技術によりゲート電極をパターニングした後、公知のドライエッチング技術によりアルミニウムおよび白金をエッチングしゲート電極10を形成した(図1(g))。本実施例では、酸化触媒としての白金膜をそのまま電極の一部として使用したが、王水などで白金を除去した後、改めてゲート電極となる導電性膜を形成してもよい。

10 【0030】図2は、洗浄を行い、自然酸化膜を除去した後シリコン基板表面を清浄化した後、熱濃硝酸に浸漬した後に観測したX線光電子スペクトルである。X線光電子スペクトルはVG社製ESCALAB220i-XLを用いて測定した。この際、X線源としては、エネルギーが1487eVのAlのK $\alpha$ 線を用いた。光電子は表面垂直方向で観測した。ピーク(1)は、シリコン基板のSiの2p軌道からの光電子によるものであり、ピーク(2)はシリコン酸化膜のSiの2p軌道からの光電子によるものである。ピーク(2)とピーク(1)の面積強度の比から、シリコン酸化膜の膜厚は1.1nmと計算できた。ここで、Siの2p軌道からの光電子のシリコン酸化膜中での平均自由行程として2.7nm、シリコン基板中の平均自由行程として2.6nmを用いた。(R. FLITSCH AND S. I. Rader, ジャーナル オブ ザ バキュームサイエンスアンド テクノロジー(J. Vac. Sci. Technol.) 12巻(1975年)、305ページ参照)。

30 【0031】図3は、濃硝酸でシリコン酸化膜形成後、その試料を電気炉に導入し、加湿酸素中で300°C、1時間加熱し、その後測定したX線光電子スペクトルである。ピーク(2)とピーク(1)の面積強度比は図2のものほとんど変わらず、シリコン酸化膜厚は300°Cの酸化性雰囲気中での加熱処理により変化しないことがわかる。このことは、通常の熱酸化法では300°Cという低温ではシリコン酸化膜をMOSトランジスタのゲート酸化膜として少なくとも必要な2~6nmの膜厚には成長させることが全くできないことを示している。

40 【0032】図4(a)は、熱濃硝酸でシリコン酸化薄膜を形成し、その上に約3nmの白金膜を電子ビーム蒸着し、さらにその試料を電気炉に導入し、加湿酸素中で300°C、1時間加熱し、その後、測定したX線光電子スペクトルである。X線光電子スペクトルは島津製作所製ESCA1000を用いて測定した。この際、X線源としてエネルギー1254eVのMgのK $\alpha$ 線を用いた。図4(b)は図4(a)をVG社製ESCALAB220i-XLで測定した場合のX線電子スペクトルである。シリコン酸化膜のピーク強度(2)が増加し、シリコン酸化膜が成長したことがわかる。図4中のピーク



(2)とピーク(1)の面積強度比より、シリコン酸化膜の膜厚は4.5nmと計算される。すなわち、白金薄膜がシリコン酸化薄膜上に存在すれば、300°C程度の低温加熱によりシリコン酸化膜が成長することが確認できた。

【0033】図5は、熱濃硝酸でシリコン酸化膜を形成し、その上に約3nmの白金膜を電子ビーム蒸着し、さらに、その試料を室温で加湿雰囲気中で、1時間処理した後のX線電子スペクトルである。図4(a)(b)に比べるとシリコン酸化膜のSiの2p軌道からの光電子によるピーク(2)は低いものの、図3の熱濃硝酸でシリコン酸化膜を形成した後、白金を堆積せずに電気炉に導入し、加湿雰囲気中で300°Cで1時間加熱した場合のピーク(2)に比べれば、図5のピーク(2)は大きく、室温でもシリコン酸化膜が成長していることがわかる。

【0034】図6は、シリコン酸化膜の膜厚を加熱温度に対して、プロットしたものである。プロット(a)では、シリコンウェーハを熱濃硝酸に浸漬させることにより、シリコン酸化膜を形成し、その後試料を電気炉に導入し、加湿酸素雰囲気中種々の温度で1時間加熱した後測定したX線光電子スペクトルの面積強度比より求めた酸化膜厚である。プロット(b)では、シリコンウェーハを熱濃硝酸に浸漬することによりシリコン酸化膜を形成し、その上に電子ビーム蒸着法により約3nmの白金膜を蒸着し、その後試料を電気炉に導入し加湿酸素中種々の温度で1時間加熱した。シリコン酸化膜の膜厚は、Siの2p領域のX線光電子スペクトルから見積もった。プロット(a)から、シリコン酸化膜上に白金膜厚が存在しない場合、300°C以下の低温の加熱処理によってシリコン酸化膜の膜厚が実験誤差範囲内で変化しないことがわかる。一方、プロット(b)から、シリコン酸化膜上に白金薄膜が存在すれば、低温の加熱処理によりシリコン酸化膜が成長することがわかる。

【0035】図7は第1の酸化膜厚に対する、白金堆積後の熱処理によって得られた第2の酸化膜厚の依存性を示したものである。第1の酸化膜とは白金堆積前に形成する酸化膜である。ここで、第1の酸化膜としてシリコンウェーハ表面の清浄化後、1vol.%のフッ化水素酸(HF)水溶液によりエッチングした直後の膜厚を0nmとした。また、塩酸：過酸化水素水：超純水をそれぞれ1：1：5の混合比で混ぜた液を80°Cに加熱したものに、シリコンウェーハを10分間浸漬させ第1酸化膜厚を0.5nm成長させた。1.3nmの第1酸化膜厚を得るためには115°Cの熱濃硝酸にシリコンウェーハを10分間浸漬させた。

【0036】これらの第1酸化膜上に白金を3nm堆積させ、加湿雰囲気中で300°C、1時間加熱した際に得られる酸化膜を第2の酸化膜厚とした。第1の酸化膜が0nmの場合、第2の酸化膜は全く成長せず、シリコン

基板と白金が反応することで白金シリサイドが白金とシリコン基板界面に形成されてしまう。しかし、第1の酸化膜を0.5nm形成しただけで、白金とシリコンの反応は起こらず、4.2nmの第2の酸化膜が形成された。また、第1の酸化膜厚が1.3nmの場合でも、第2の酸化膜厚は4.2nmと変化はなかった。第1の酸化膜は白金とシリコンの反応を防止するとともに、第2の酸化膜を成長させる重要な役割を持っている。本発明者らの検討によれば、第1の酸化膜は0.1nm以上あれば、白金との反応を阻止することができた。しかし、第1の酸化膜が0nmの場合、白金とシリコンのシリサイド反応を生じてしまった。一方、第1の酸化膜が厚い場合には、図7から明らかなように0.5nmと1.3nmで第2の酸化膜厚に差はなく、これ以上、厚くした場合も大幅な第2の酸化膜の膜厚増加は期待できなかった。また、この酸化膜を極端に厚くすると、元々薄い酸化膜の形成を目的とする本発明の目的からはずれてしまう。従って、第1の酸化膜の上限は2.5nm程度である。

【0037】図8は、第1の酸化膜厚を1.1nm(熱濃硝酸で形成)した場合の、白金の膜厚に対する第2の酸化膜厚を示したものである。図8には白金のかわりにパラジウムを用いた場合のデータも示している。白金の膜厚が0nmの(白金を堆積しない)場合には、第2の酸化膜は成長しないことはすでに図3に示した。白金を0.5nm堆積した場合には、第2の酸化膜として2.1nmの膜厚のものが得られた。白金の膜厚を厚くしていくと、白金膜厚1.5nmで第2の酸化膜厚は2.8nm、白金膜厚3nmに対しては第2の酸化膜厚は4.5nmが得られた。さらに白金の膜厚を5nmとすると、第2の酸化膜厚は4.2nmと減少し、さらに白金の膜厚を増加させると第2の酸化膜厚は減少する傾向にあった。本発明者らの検討によれば、有効に第2の酸化膜を形成できる白金膜厚の上限は30nmである。白金の代わりにパラジウムを用いた場合、3nmのパラジウム膜厚に対し、第2の酸化膜厚は5.2nm成長するが、パラジウム膜厚が10nmの場合、第2の酸化膜厚は4.2nmと低下する。なお、このときの熱処理としては加湿雰囲気中で白金の場合は300°Cで、パラジウムの場合は400°Cでそれぞれ1時間加熱した。なお、第2のシリコン酸化膜厚は白金の場合に対してはX線電子スペクトルで、パラジウムの場合に対しては電気容量(C)-電圧(V)測定から求めた。

【0038】図9は本実施例により形成した白金3nm/酸化膜2.6nm/Si基板構造の界面単位密度のエネルギー分布を示したものである。ここで測定しているような2.6nmの極薄酸化膜を持つMOSデバイスの界面単位のエネルギー分布は、従来から用いられている電気容量-電圧測定(C-V)やコンダクタンス-電圧測定(G-V)などの電気的測定から求めることができ

ないので、バイアス電圧印加時のX線光電子スペクトル測定という方法を用いた(H.KOBAYASHI, Y.YAMASHITA, T.MORI, Y.NAKATO, K.H.PARK, Y.NISHIOKA, サーフエスサイエンス(Surf. Sci.) 326巻 (1995年)、124ページ、H.KOBAYASHI, T.MORI, K.NAMBA, Y.NAKATO, ソリッド ステイト コミュニケーション(Solid State Commun.) 92巻 (1994年)、249ページ参照)。

【0039】なお、前記本実施例の酸化処理においては、熱濃硝酸による化学酸化膜(1.1nm)形成後は熱処理を行っていない。このときの界面準位はミッドギャップをはさんで分布しており、Siのダングリングボントが酸化膜中のSiおよび酸素原子と弱い相互作用を起こしているものと考えられる。本実施例により形成した酸化膜の界面準位密度は550°Cで形成した3nmの酸化膜や700°Cのウェット酸化で形成した3.5nmの酸化膜よりも低いレベルになっている。このことは、本実施例の方法で形成した酸化膜がゲート酸化膜として十分な界面特性を有していることを示している。したがって、本実施例の方法により形成した薄い酸化膜はMO

SトランジスタやMOS容量の極薄ゲート酸化膜として有用である。本発明による方法により形成した酸化膜はトランジスタのゲート酸化膜として適用可能であるのは勿論のこと、他にもさまざまな用途に適用可能である。

【0040】図10はダイナミックランダムアクセスメモリー(DRAM)のスタックトキャパシタによるセル容量への本発明の適用例を示したものである。通常ストレージノード18と呼ばれる容量電極は燐などの導電性不純物を $1 \times 10^{20} / \text{cm}^3 (\text{atom})$ 程度含んだ非晶質シリコンで形成されている。これらのストレージノード上に例えば熱酸化膜を形成する場合、熱処理により非晶質シリコン膜のグレインが成長しそれに伴うストレスの発生により、ストレージノード上に形成する容量絶縁膜の絶縁破壊特性が劣化するという問題点があったが、本発明の如き400°C以下の低温による酸化膜成長では非晶質シリコンのグレイン成長は起こらず、かつ厚さ2~4nmの極薄容量酸化膜19を制御性よく形成することができる。この場合、セル容量の構造は、非晶質ストレージノード18/本発明による低温酸化膜19/白金薄膜20/非晶質セルプレート21となる。ここで白金薄膜20が存在することによりセルプレートの空乏化を防止することができ、セル容量の確保もできる。この他、多結晶シリコンや非晶質シリコン上に本発明の方法により酸化膜を形成することにより、これらの導電膜に挟まれた構造の容量を実現することができる。なお、図7において、11はp型シリコン基板、12はp型ウェル領域、13は分離領域、14は選択トランジス(ポリサイドゲート)、14'は多結晶シリコン膜、14''はタングステンシリサイド( $\text{WSi}_x$ )膜、15はビート線(ポリサイド)、15'は多結晶シリコン膜、15''は

タングステンシリサイド( $\text{WSi}_x$ )膜、16はソースドレイン $n^+$ 拡散層、17は層間絶縁膜である。

【0041】また、図11は本発明の方法で形成した酸化膜をMOSトランジスタに適用した場合の実施例である。P型基板上に素子分離形成後、活性領域にきい値電圧制御としてボロンを $1 \times 10^{18} / \text{cm}^3 (\text{atom})$ の濃度が得られるようにイオン注入した後、ウェーハ表面を洗浄し、さらに無水HFガスにより約10秒間自然酸化膜のエッチング(除去)を行った後、つづいてオゾンガス中に暴露しシリコン表面に厚さ1nmの酸化膜を形成した。その後、スパッタ法により白金34を厚さ3nmに堆積し、100°C、加湿酸素雰囲気中で1時間熱処理を行い、膜厚2.2nmのゲート酸化膜33を形成した。その後ポリシリコン膜35を公知の減圧気相成長法により530°Cで100nm形成した。このときの堆積膜は非晶質で燐濃度は $3 \times 10^{20} / \text{cm}^3 (\text{atom})$ である。その後、公知のフォトリソグラフィ技術によりゲート電極のパターンニングを行い、公知のドライエッチング技術によりゲート電極の非晶質シリコン35/白金34/ゲート酸化膜33のエッチングを行った。その後、サイドウォール36として燐ドーブドオキサイド膜を堆積した。さらにサイドウォールエッチングを行った後に、ソースドレイン38をイオン注入により形成した。この他にも、金属配線工程後にMOSトランジスタを形成することも、本発明の如き低温酸化法を用いることにより可能となる。なお、図11において、31はp型シリコン基板、32はp型ウェル領域、37はソースドレインLDD拡散層、38はソースドレイン $n^+$ 拡散層である。

【0042】以上説明した通り本発明の前記実施例においては、半導体基板を室温(25°C)~400°Cの範囲の温度で酸化処理できることが確認できた。

#### 【0043】

【発明の効果】以上説明した通り本発明の半導体によれば、半導体基板表面に酸化膜と金属薄膜とを少なくとも含む半導体であって、前記金属薄膜は厚さ0.5~30nmの範囲の酸化触媒機能を有する金属であり、かつ前記酸化膜は前記酸化触媒機能を有する金属によって形成された膜を含む厚さ1~20nmの範囲の膜であることにより、高温加熱を用いずに半導体基板の表面に高品質の酸化膜を制御性よく形成するとともに、金属配線以後にゲート酸化膜を形成できる半導体を実現できる。

【0044】次に本発明の半導体基板表面の酸化膜の製造方法によれば、半導体基板上に厚さ0.1~2.5nmの範囲の第1酸化膜を形成し、次いで前記第1酸化膜上に酸化触媒機能を有する金属薄膜を厚さ1~30nmの範囲で形成し、しかる後600°C以下の温度でかつ酸化雰囲気中で熱処理を行って第2酸化膜を形成することにより、効率よくかつ合理的に半導体基板上に薄くかつ均一な品位の酸化膜を高品質かつ高制御性で形成するこ



とができる。

【0045】また本発明のさらに好ましい酸化膜の形成方法によれば、半導体基板を600°C以上の高温に曝すことなく、室温から600°C程度の低温で、界面特性にすぐれた高品質の極薄酸化膜を膜厚制御性よく形成することができ、熱履歴を問題にする事なく高品質の極薄ゲート酸化膜を形成することができる。さらに、本発明の如き酸化膜の形成方法を多結晶シリコン上、非晶質シリコン上に応用することにより、高性能の容量を形成することが可能になる上、低温酸化の特徴を生かして、金属配線工程以後にMOSトランジスタ形成を行うことができプロセス、デバイス設計の自由度の向上および性能を大幅に向上させることができる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例の半導体基板の酸化方法を用いてMOS容量を形成する場合のプロセス図で、

(a) はシリコン基板上に分離領域と活性領域を形成した工程、(b) はシリコン表面の自然酸化膜を除去した工程、(c) はシリコン基板の表面に化学的酸化膜(第1酸化膜)を形成した工程、(d) は酸化触媒機能をもつ金属膜として白金膜を形成した工程、(e) は酸化雰囲気中で加熱処理したシリコン第2酸化膜を形成した工程、(f) は電極膜を形成した工程、(g) はゲート電極を形成した工程を各々示す。

【図2】 同、洗浄を行い、自然酸化膜を除去した後にシリコン基板表面を清浄化した後、熱濃硝酸に浸漬した後に観測したX線光電子スペクトルである。

【図3】 同、濃硝酸でシリコン酸化膜形成後、その試料を電気炉に導入し、加湿酸素中300°Cで加熱し、その後測定したX線光電子スペクトルである。

【図4】 (a), (b) は、前記と同じく、熱濃硝酸でシリコン酸化薄膜を形成し、その上に白金膜を電子ビーム蒸着し、さらにその試料を電気炉に導入し、加湿酸素中300°Cで加熱し、その後測定したX線光電子スペクトルである。

【図5】 同、熱濃硝酸でシリコン酸化薄膜を形成し、その上に白金膜を電子ビーム蒸着し、さらにその試料を、加湿雰囲気中、室温で処理し、その後測定したX線電子スペクトルである。

【図6】 本発明の方法により形成した一実施例の酸化膜厚と酸化温度の関係を示す図。

【図7】 本発明の方法により形成した一実施例の酸化膜厚と第1の酸化膜厚の関係。

【図8】 本発明の方法により形成した一実施例の酸化膜厚と白金およびパラジウム膜厚の関係。

【図9】 本発明の方法により形成した一実施例の酸化膜の界面準位密度分布。

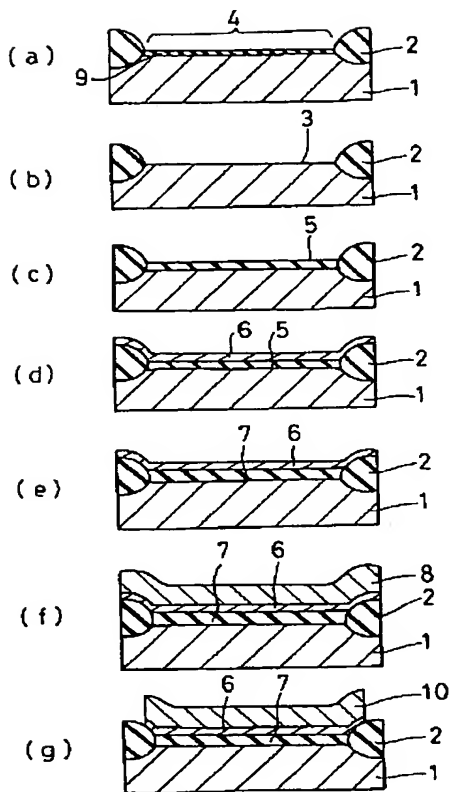
【図10】 本発明の方法により形成した酸化膜のDRAM容量絶縁膜への適用例を示す断面図。

【図11】 本発明の方法により形成した酸化膜のMOSトランジスタへの適用例を示す断面図。

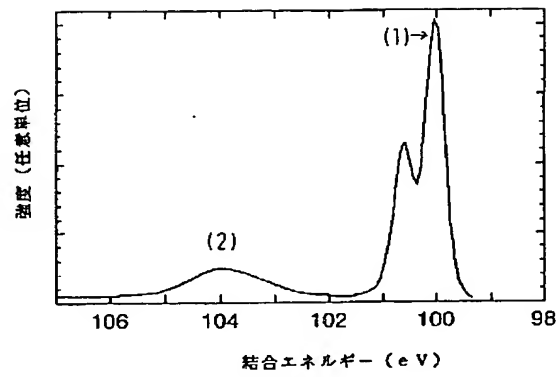
#### 【符号の説明】

- |    |                                      |
|----|--------------------------------------|
| 10 | 1 シリコン基板(半導体基板)                      |
|    | 2 分離酸化膜                              |
|    | 3 清浄な半導体表面                           |
|    | 4 半導体表面の活性領域                         |
|    | 5 清浄な半導体表面上に成長させた酸化膜(第1酸化膜)          |
|    | 6 白金薄膜                               |
|    | 7 酸化膜(第2酸化膜)                         |
|    | 8 金属堆積膜(スパッタアルミニウム合金)                |
|    | 9 半導体表面の自然酸化膜                        |
| 20 | 10 金属ゲート電極                           |
|    | 11 p型シリコン基板                          |
|    | 12 p型ウェル領域                           |
|    | 13 分離領域                              |
|    | 14 選択トランジス(ポリサイドゲート)                 |
|    | 14' 多結晶シリコン膜                         |
|    | 14'' タングステンシリサイド(WSi <sub>x</sub> )膜 |
|    | 15 ビート線(ポリサイド)                       |
|    | 15' 多結晶シリコン膜                         |
|    | 15'' タングステンシリサイド(WSi <sub>x</sub> )膜 |
| 30 | 16 ソースドレインn <sup>+</sup> 拡散層         |
|    | 17 層間絶縁膜                             |
|    | 18 非晶質ストレージノード                       |
|    | 19 低温酸化膜                             |
|    | 20 白金薄膜                              |
|    | 21 非晶質セルプレート                         |
|    | 31 p型シリコン基板                          |
|    | 32 p型ウェル領域                           |
|    | 33 ゲート酸化膜                            |
|    | 34 白金                                |
| 40 | 35 ゲート電極の非晶質シリコン                     |
|    | 36 サイドウォール                           |
|    | 37 ソースドレインLDD拡散層                     |
|    | 38 ソースドレインn <sup>+</sup> 拡散層         |

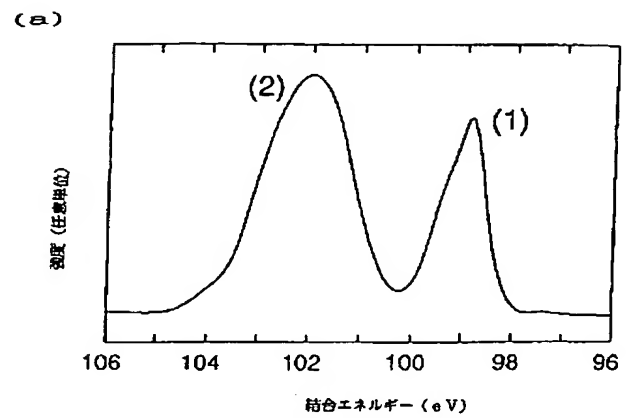
【図1】



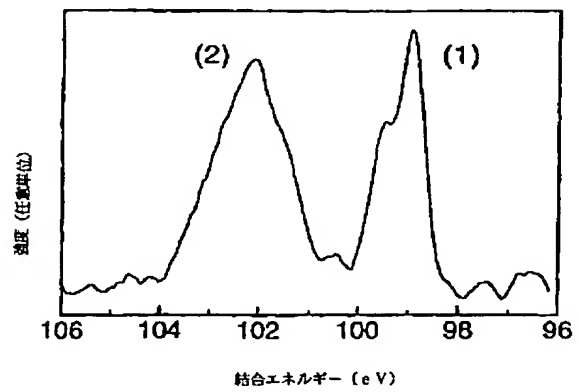
【図2】



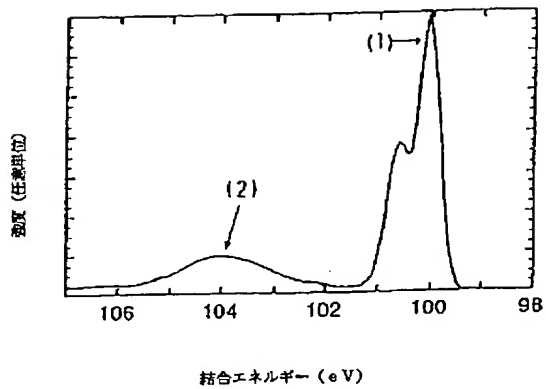
【図4】



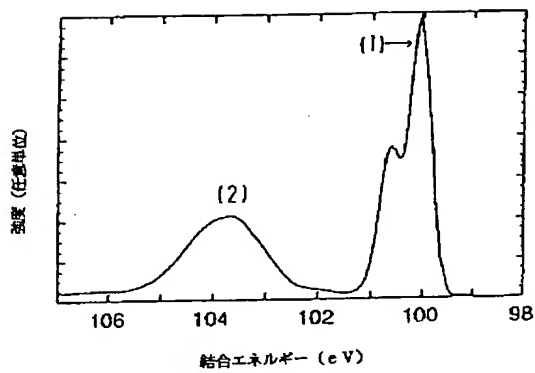
(b)



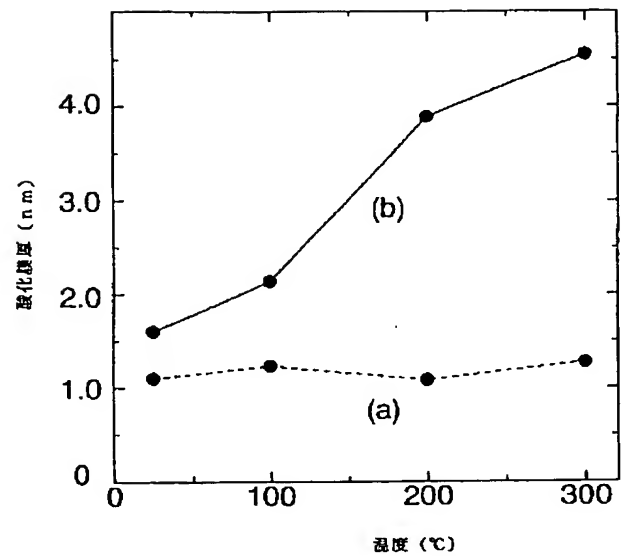
【図3】



【図5】

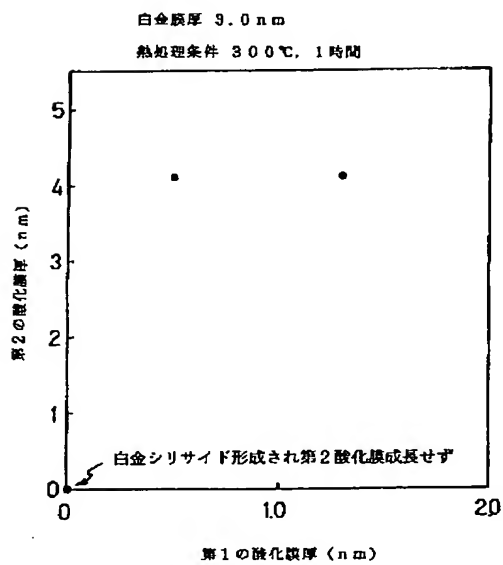


【図6】

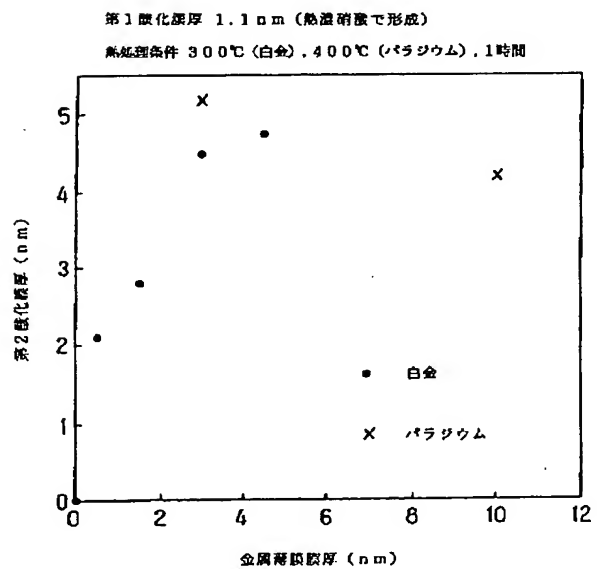


(a) シリコン酸化膜上に白金膜が存在しないときの酸化膜の膜厚変化  
 (b) シリコン酸化膜上に白金薄膜が存在するときの酸化膜の膜厚成長変化

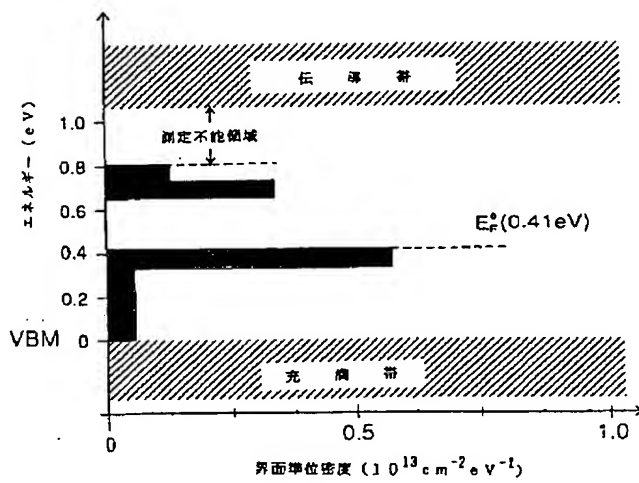
【図7】



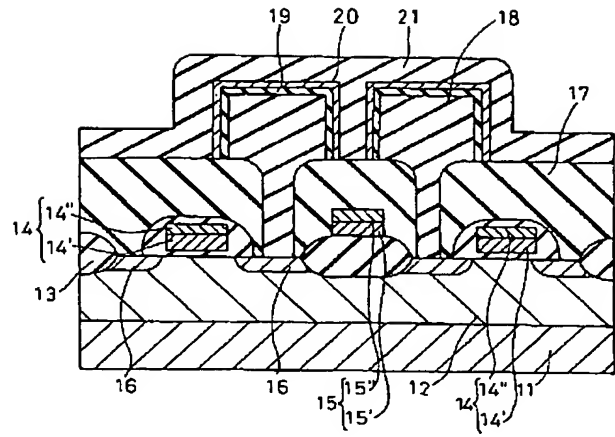
【図8】



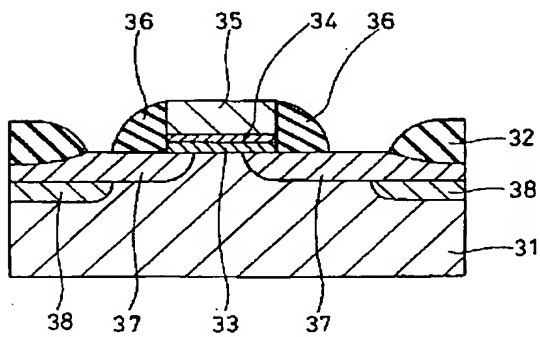
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 名村 高  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内